

▼ Family list

5 family members for:

JP9045927

Derived from 3 applications.

1 SEMICONDUCTOR DEVICEPublication Info: **JP3744980B2 B2** - 2006-02-15**JP9045927 A** - 1997-02-14**2 Semiconductor devices**Publication Info: **US6166396 A** - 2000-12-26**3 Semiconductor devices**Publication Info: **US6495857 B2** - 2002-12-17**US2001001496 A1** - 2001-05-24

Data supplied from the *esp@cenet* database - Worldwide

SEMICONDUCTOR DEVICE

Patent number: JP9045927

Publication date: 1997-02-14

Inventor: YAMAZAKI SHUNPEI

Applicant: SEMICONDUCTOR ENERGY LAB

Classification:


- international: G02F1/1362; H01L21/336; H01L27/12; G02F1/13;
H01L21/02; H01L27/12; (IPC1-7): H01L29/786;
H01L21/28; H01L21/3205

- european: G02F1/1362W; H01L21/336D2B; H01L27/12

Application number: JP19950211195 19950727

Priority number(s): JP19950211195 19950727

Also published as:

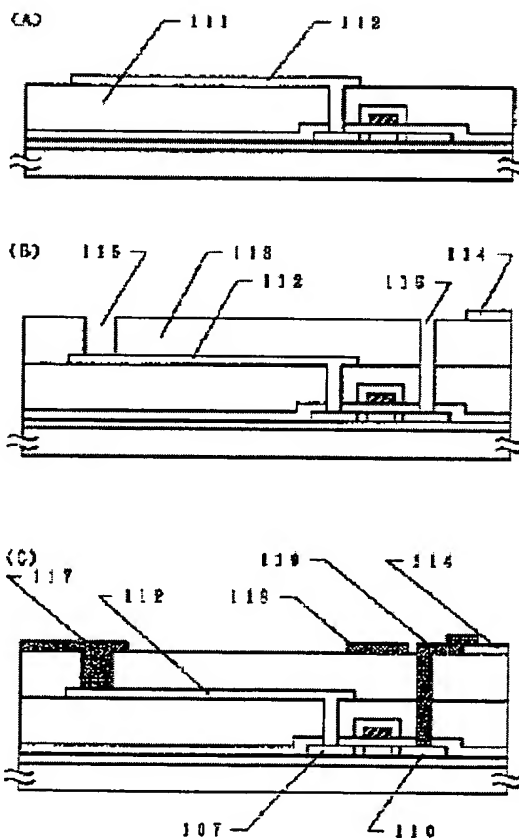
 US6166396 (A1)

Report a data error here

Abstract of JP9045927

PROBLEM TO BE SOLVED: To eliminate contact failures and solve the reliability problems for an active matrix liquid crystal display.

SOLUTION: The connection between the drain 110 of a thin film transistor and an ITO electrode 114, which is the pixel element, is composed of a laminated film 119 formed of a titanium film, an aluminum film and a titanium film. In this case, since the semiconductor is brought into contact with the titanium film, and the ITO with the titanium film, contact failure and the deterioration in reliability are suppressed. The low resistivity, which is the feature of the aluminum interconnection, can be also provided.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-45927

(43) 公開日 平成9年(1997)2月14日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/786			H 0 1 L 29/78	6 1 2 C
21/28	3 0 1		21/28	3 0 1 R
21/3205			21/88	R
				N

審査請求 未請求 請求項の数6 F D (全 7 頁)

(21) 出願番号 特願平7-211195

(22) 出願日 平成7年(1995)7月27日

(71) 出願人 000153878

株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地

(72) 発明者 山崎 舜平

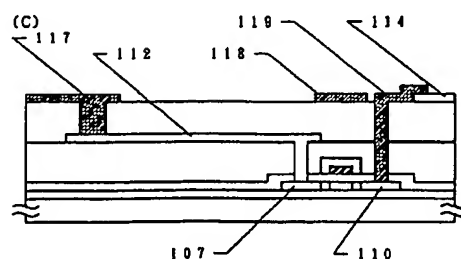
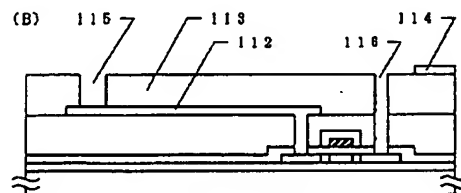
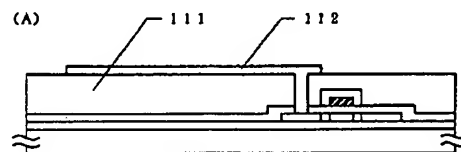
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(54) 【発明の名称】 半導体装置

(57) 【要約】

【目的】 アクティブマトリクス型の液晶表示装置において、配線の接触不良や信頼性の問題を解決する。

【構成】 薄膜トランジスタのドレイン110と画素電極であるITO電極114との接続を119で示されるチタン膜とアルミニウム膜とチタン膜との積層膜で構成する。この場合、半導体とチタン膜、ITOとチタン膜とが接触することになるので、接触不良や信頼性の低下を抑制することができる。またアルミニウム配線の特徴である低抵抗性を得ることができる。



【特許請求の範囲】

【請求項１】半導体と酸化物導電膜とを接続する配線を有し、
前記配線はチタン膜とアルミニウム膜とチタン膜との積層構造を有し、
前記チタン膜の一方と半導体とが接触しており、
前記チタン膜の他方と酸化物導電膜とが接触していることを特徴とする半導体装置。

【請求項２】画素電極を構成する酸化物導電膜と、
前記酸化物導電膜と薄膜トランジスタのドレイン領域とを接続する配線と、
前記配線と同一の材料で構成される前記薄膜トランジスタを遮蔽するための遮光膜と、
前記配線と同一の材料で構成される前記画素電極の縁を覆って形成された遮光膜と、
を有し、
前記配線はチタン膜とアルミニウム膜とチタン膜との積層構造を有していることを特徴とする半導体装置。

【請求項３】画素電極を構成する酸化物導電膜と、
前記酸化物導電膜と薄膜トランジスタのドレイン領域とを接続する第１の配線と、
前記第１の配線と同一の材料で構成される前記薄膜トランジスタを遮蔽するための遮光膜と、
前記第１の配線と同一の材料で構成される前記画素電極の縁を覆って形成された遮光膜と、
前記薄膜トランジスタのソース領域に接続された第２の配線と、
前記第２の配線に接続された前記第１の配線と同一の材料で構成される引き出し配線と、
を有し、
前記第１の配線はチタン膜とアルミニウム膜とチタン膜との積層構造を有していることを特徴とする半導体装置。

【請求項４】請求項１乃至請求項３において、
酸化物導電膜としてITOまたは S_xO_y 膜が利用されることを特徴とする半導体装置。

【請求項５】請求項１乃至請求項３において、チタン膜の代わりにクロム膜が用いられることを特徴とする半導体装置。

【請求項６】請求項３において、第２の配線はチタン膜とアルミニウム膜との積層膜で構成されていることを特徴とする半導体装置。

【発明の詳細な説明】

【０００１】

【産業上の利用分野】本明細書で開示する発明は、アクティブマトリクス型の表示装置、例えばアクティブマトリクス型の液晶表示装置の構成に関する。

【０００２】

【従来の技術】アクティブマトリクス型の液晶表示装置においては、薄膜トランジスタが石英基板またはガラス

基板上に集積化された構成を有している。この集積度は近年ますます高めることが要求されている。一方で液晶表示装置は、大画面を表示することが要求されるので、ますます大面積化することが要求されている。このことは、集積化を増し、同時に小型化が計られるLSI回路と大きく異なる部分である。

【０００３】このように大面積化が計られる一方で、開口率を高くする目的から配線の幅を極力細くすることが求められている。しかし、大面積を有する画素領域に幅の細い配線を配置した場合、その抵抗分の影響が問題となってしまう。

【０００４】また、アクティブマトリクス型の液晶表示装置においては、各画素に配置される薄膜トランジスタを遮蔽する手段や、各画素電極の縁を覆うブラックマトリクスと称される遮蔽手段が必要とされている。一般にこの薄膜トランジスタの遮蔽手段やブラックマトリクスは、配線とは別に配置されている。このような構成は、作製工程の煩雑化を招くことで好ましいことではない。

【０００５】また配線の抵抗を低減させる手段として配線材料にアルミニウムを利用することが考えられている。しかし、アルミニウムは半導体や透明導電膜（一般にITO等の酸化物導電膜が利用される）との電気的な接触が不安定になりやすく、信頼性が低いという問題がある。

【０００６】

【発明が解決しようとする課題】本明細書で開示する発明は、開口率を高くする構成を作製工程の少ない方法で得ることを課題とする。また、配線材料によって生じる接触の不安定性を除去した構成を提供することを課題とする。

【０００７】

【課題を解決するための手段】本明細書で開示する発明の一つは、半導体と酸化物導電膜とを接続する配線を有し、前記配線はチタン膜とアルミニウム膜とチタン膜との積層構造を有し、前記チタン膜の一方と半導体とが接触しており、前記チタン膜の他方と酸化物導電膜とが接触していることを特徴とする。

【０００８】上記の構成の一例を図２（Ｃ）に示す。図２（Ｃ）には、薄膜トランジスタのドレイン領域１１０とITOでなる画素電極１１４とをチタン膜とアルミニウム膜とチタン膜との積層膜でなる配線１１９で接続した構成が示されている。

【０００９】このような構成にすると、半導体であるドレイン領域１１０とチタン膜とが接触し、また酸化物であるITO電極１１４とチタン膜とが接触することになる。半導体とチタン膜とは電気的に良好な接触を行わすことができる。アルミニウムと半導体との接触は不安定になりやすいという問題がある。しかし上記のような構成とすることによって、その問題を解決することができる。

【0010】また、ITOとチタン膜との接触も良好なものとするができる。一般にアルミニウムとITO（一般に酸化物導電膜）との接触も不安定になってしまうが、このような構成とすることによって、この問題も解決することができる。また上記のような効果に加えて、低抵抗のアルミニウムを用いることによる効果も同時に得ることができる。

【0011】他の発明の構成は、画素電極を構成する酸化物導電膜と、前記酸化物導電膜と薄膜トランジスタのドレイン領域とを接続する配線と、前記配線と同一の材料で構成される前記薄膜トランジスタを遮蔽するための遮光膜と、前記配線と同一の材料で構成される前記画素電極の縁を覆って形成された遮光膜と、を有し、前記配線はチタン膜とアルミニウム膜とチタン膜との積層構造を有していることを特徴とする。

【0012】上記構成の具体的な例を図2（C）に示す。図2（C）には、ITOでなる画素電極114と、画素電極114と薄膜トランジスタのドレイン領域110とを接続するチタン膜とアルミニウム膜とチタン膜との積層膜でなる配線119と、この配線119を構成する材料でもって構成された薄膜トランジスタを遮蔽する遮蔽膜118が示されている。

【0013】また図2（C）を上方から図3に示すように、配線119を構成する材料でもってITO電極114の縁を覆って形成された遮蔽膜（ブラックマトリクス）301が形成されている。

【0014】上記構成で重要なのは、配線119と遮蔽膜118とブラックマトリクス301とは同一の多層膜をパターニングすることによって得られたものであることである。即ち、このような構成とすることによって作製工程を簡略化することができ、作製歩留りの向上や作製コストの削減することができる。

【0015】本明細書で開示する発明において、電気的な特性を考えた場合には、チタン膜を用いることが最も好ましい。しかし、遮蔽膜やブラックマトリクスといった光学的な役割を考えた場合は、チタン膜の代わりにクロム膜を用いることが有用となる。

【0016】また、上記チタン膜やクロム膜中に数重量%以下の適当な不純物を含有させ、その光学特性や電気特性を制御してもよい。

【0017】他の発明の構成は、画素電極を構成する酸化物導電膜と、前記酸化物導電膜と薄膜トランジスタのドレイン領域とを接続する第1の配線と、前記第1の配線と同一の材料で構成される前記薄膜トランジスタを遮蔽するための遮光膜と、前記第1の配線と同一の材料で構成される前記画素電極の縁を覆って形成された遮光膜と、前記薄膜トランジスタのソース領域に接続された第2の配線と、前記第2の配線に接続された前記第1の配線と同一の材料で構成される引き出し配線と、を有し、前記第1の配線はチタン膜とアルミニウム膜とチタン膜

との積層構造を有していることを特徴とする。

【0018】上記構成の具体的な例を図2（C）に示す。図2（C）に示す構成においては、第1の配線として119で示されるチタン膜とアルミニウム膜とチタン膜との積層配線が示されている。また第2の配線として112で示されるチタン膜とアルミニウム膜との積層配線が示されている。

【0019】

【作用】図2（C）に示すように配線119をチタン膜とアルミニウム膜とチタン膜との積層膜で構成することにより、低抵抗であるというアルミニウム膜を用いる有用性を得られると同時に、半導体とチタン膜の電気的な接触性の良好さ、さらには酸化物透明導電膜とチタン膜との電気的な接触性の良好さを利用することができ、信頼性の高い構成とすることができる。

【0020】またこの配線119を構成する3層膜を用いて、薄膜トランジスタの遮光膜118と画素電極の縁を覆うブラックマトリクスとソース配線112からの引き出し配線を形成することができる。このような構成は作製歩留りの向上や作製コストの低減を計る上有益なこととなる。

【0021】

【実施例】

【実施例1】図1及び図2に本実施例に示すアクティブマトリクス型の液晶表示装置の作製工程の概要を示す。まず基板101であるガラス基板または石英基板上に下地膜102として酸化珪素膜101を3000Åの厚さに成膜する。この下地膜の成膜方法は、プラズマCVD法やスパッタ法を用いればよい。

【0022】この酸化珪素膜は、基板中からの不純物の拡散を抑えたり、基板と半導体膜との間に働く応力を緩和する機能を有している。基板として石英基板を用いる場合には、この下地膜となる陽極酸化膜の厚さを厚くした方が好ましい。これは、加熱に際して石英基板は珪素薄膜に比較してほとんど縮まず、半導体膜との間で応力が生じやすいからである。

【0023】下地膜の成膜を行ったら、後に薄膜トランジスタの活性層を構成するための出発膜となる非晶質珪素膜を成膜する。この非晶質珪素膜の厚さは例えば500Åとする。この非晶質珪素膜の成膜方法は、プラズマCVD法や減圧熱CVD法を用いればよい。

【0024】得られる薄膜トランジスタの特性が低くてもよいのなら、このまま非晶質珪素膜を用いて薄膜トランジスタを構成する。また高画質な表示を得るのであれば、この非晶質珪素膜を結晶化して結晶性珪素膜に変成する。以下において結晶性珪素膜に変成する工程の一例を示す。

【0025】ここでは、珪素の結晶化を助長する金属元素を用いて高い結晶性を有する結晶性珪素膜を得る方法を示す。まず得られた非晶質珪素膜の表面に所定の濃度

に調整されたニッケル酢酸塩溶液を塗布する。そしてスピナーを用いて余分の溶液を吹き飛ばして除去する。こうして非晶質珪素膜の表面にニッケル元素が接して保持された状態とする。そして620℃、4時間の加熱処理を行うことにより、結晶性珪素膜を得る。

【0026】上記の結晶化方法以外に、レーザー光の照射による方法、単なる加熱による方法、赤外光等の強光の照射による方法、それらの方法を組み合わせた方法を利用することができる。

【0027】そして得られた結晶性珪素膜をパターンニングすることにより、図1(A)に示すように、ガラス基板101上に下地膜102が形成され、さらに薄膜トランジスタの活性層103(島状の半導体層)が形成された状態を得る。ここでは、活性層103が結晶性珪素膜で構成されたものとして以下の説明を行う。

【0028】図1(A)に示す状態を得たら、ゲイト絶縁膜104として機能する酸化珪素膜102をプラズマCVD法またはスパッタ法で1000Åの厚さに成膜する。さらにスカンジウムが0.2wt %含まれたアルミニウム膜を6000Åの厚さに成膜する。さらにこれをパターンニングしてゲイト電極105を形成する。このゲイト電極105が1層目の配線となる。

【0029】このゲイト電極をアルミニウムで構成することは重要である。図3に示すようにゲイト電極105はマトリクス状に配置されたゲイト線から延在して構成されている。従って、その配線抵抗が無視できない場合は、信号の遅延や動作不良が生じてしまう。特に大面積化された液晶表示装置においてはこの問題が顕在化する。よって、本実施例に示すようにゲイト電極およびそれと同時に形成されるゲイト線を低抵抗材料であるアルミニウムで構成することは有用なこととなる。

【0030】ゲイト電極105を形成したら、酒石酸が3~10%含まれた $\text{PH} \approx 7$ のエチレングルコール溶液を電解溶液とした陽極酸化を行う。この陽極酸化を行うことで緻密な膜質を有する陽極酸化膜106を2500Åの厚さに形成する。この陽極酸化膜は、アルミニウムの異常成長やクラックの発生を防ぐといった機能を有している。またこの陽極酸化膜は、後の不純物イオンの注入工程において、オフセットゲイト領域を形成するためのマスクとして機能する。

【0031】図1(B)に示す状態を得たら、ソース及びドレイン領域を形成するための不純物イオンの注入を行う。ここではNチャネル型の薄膜トランジスタを形成するためにP(リン)イオンの注入をプラズマドーピング法でもって行う。

【0032】Pイオンの注入を行うことで、ソース領域107とドレイン領域110とが自己整合的に形成される。また同時にチャネル形成領域109とオフセットゲイト領域108とがやはり自己整合的に形成される。

(図1(C))

【0033】図1(C)に示す不純物イオンの注入が終了したら、レーザー光の照射を行い、ソース/ドレイン領域のアニールを行う。即ち、注入されたPイオンの活性化とPイオンの注入により損傷した領域の結晶性の回復を行う。

【0034】そして、第1の層間絶縁膜111として酸化珪素膜を5000Åの厚さにプラズマCVD法でもって成膜する。そしてソース領域107に達するコンタクトホールを形成を行う。なお層間絶縁膜として酸化珪素膜を用いると、後に形成される配線のチタン膜と酸化珪素膜とが反応し、酸化チタンが形成されてしまうことがある。このような場合は、酸化珪素膜の代わりに窒化珪素膜を用いることが好ましい。また酸化珪素膜と窒化珪素膜を用いることが好ましい。(図1(D))

【0035】次に図2(A)に示すようにソース領域にコンタクトするソース配線の形成を行う。この配線ソース112は、チタン膜とアルミニウム膜との積層で構成されている。ここではチタン膜の厚さを500Å、アルミニウム膜の厚さを4000Åとする。成膜方法はスパッタ法を用いる。なおこのソース配線112が2層目の配線となる。

【0036】チタン膜を設けるのは、アルミニウムと珪素との接触を行わずと両者が反応してしまい接触不良が生じたり、接触抵抗の経時変化が生じてしまうからである。図3に示すようこの配線ソース112から延在して各画素に配置された薄膜トランジスタのソース領域にコンタクトが行われる。

【0037】次に図2(B)に示すように、第2の層間絶縁膜113を4000Åの厚さに成膜する。この第2の層間絶縁膜は、プラズマCVD法で成膜される酸化珪素膜でもって構成される。また後にチタン膜が酸化チタン膜に変成しないようにするために、酸化珪素膜の代わりに窒化珪素膜を用いるのもよい。また酸化珪素膜と窒化珪素膜との積層膜を用いるのもよい。また窒化珪素膜と酸化珪素膜と窒化珪素膜との積層膜を用いるのもよい。

【0038】次に画素電極となるITO電極114を形成する。ITO電極以外には、 S_xO_y を利用することができる。ここで重要なのは、画素電極として透明導電膜を用いる必要があるということである。

【0039】そしてコンタクトホール115と116の形成を行う。115は、ソース線の取り出し電極であり、周辺回路との接続が行われる配線を形成するための開口である。また116はドレイン領域と画素電極とのコンタクトをとるための開口である。(図2(B))

【0040】そして第3層目の配線となる3層膜を成膜する。この3層膜は、チタン膜とアルミニウム膜とチタン膜とで構成される。成膜方法はスパッタ法、または蒸着法を用いる。そしてこの3層目をパターンニングして、(1)周辺回路とのコンタクトや外部回路とのコンタク

トを取るための配線117

(2) 薄膜トランジスタを遮光するための遮光膜118

(3) 薄膜トランジスタの出力（ソース領域110）を画素電極114に連結するための配線119

(4) 図2には図示されないブラックマトリクス（図3の301で図示）を形成する。

【0041】アルミニウム膜をチタン膜で挟んだ3積構造とすることで、

- ・ソース領域110とのコンタクトを良好なものとする。
 - ・2層目の配線112とのコンタクトを良好なものとする。
 - ・ITO電極114とのコンタクトを良好なものとする。
- といった効果を得ることができる。

【0042】図3に図2に示す構成を上面からみた状態を示す。図3には、一つの画素を中心として示されている。図3のA-A'で切った断面が図2（C）に示す構成に相当する。図3には、画素電極114の縁を覆うように配置されているブラックマトリクス301が示されている。また図3を見れば明らかなように、本実施例においては、ブラックマトリクス301と薄膜トランジスタの遮光膜118とはつながった膜でもって構成されている。しかしこのブラックマトリクス301と遮光膜118とを別々に分離する構成としてもよい。なお、遮光膜118と配線119とをつなげることは、不要な容量を形成してしまうことになるので好ましくない。

【0043】なお、図3には図2（C）の117で示される配線は示されていない。この117で示される配線は、実際には画素領域の端においてソース線112の端部にコンタクトする構成となる。

【0044】〔実施例2〕本実施例は、実施例1に示す構成においてゲイト電極の構造を工夫した例に関する。本実施例においては、ゲイト電極をチタン膜とアルミニウム膜とチタン膜との積層で構成したことを特徴とする。

【0045】図4にゲイト電極の作製工程を中心として示す。図4（A）に示されているのは、酸化珪素膜でなるゲイト電極401上にチタン膜を100Å程度の厚さに成膜し、さらにスカンジウムを微量に含有するアルミニウム膜を5000Åの厚さに成膜し、さらにチタン膜を100Å程度の厚さに成膜し、このチタン膜とアルミニウム膜とチタン膜との積層膜をゲイト電極の形状にパターニングした状態が示されている。

【0046】図4（A）においては、チタン膜402とアルミニウム膜403とチタン膜404とで構成されるゲイト電極が示されている。

【0047】図4（A）に示す状態を得た後、陽極酸化を行い、ゲイト電極の周囲に緻密な陽極酸化膜405を形成する。陽極酸化膜の厚さは200Åとする。ここで

は、チタンとアルミニウムの陽極酸化膜を形成することになるので、数百Å以上の厚さに陽極酸化膜を形成することは困難である。（図4（B））

【0048】次に第1の層間絶縁膜として窒化珪素膜406をプラズマCVD法で4000Åの厚さに成膜する。（図4（C））

【0049】さらにゲイト電極にコンタクトするためのアルミニウム配線407を形成するためのコンタクトホールを形成を行い、ゲイト電極を構成するチタン膜404にアルミニウム配線407を形成する。なお、このアルミニウム配線は、薄膜トランジスタが形成された部分から離れた周辺回路部分に形成される。

【0050】このような構成とすると、ゲイト絶縁膜とアルミニウム膜が直接触れることがないので、アルミニウムの以上成長部分がゲイト絶縁膜内に侵入したりすることがないものとすることができる。そして、ゲイト電極とゲイト絶縁膜との間における界面特性を良好なものとすることができる。この結果、薄膜トランジスタの動作を良好なものとすることができる。

【0051】また、配線407を形成するためのコンタクトホール形成において、ゲイト電極上面の陽極酸化膜へのエッチング工程が容易となる。即ち、アルミニウム上に陽極酸化膜が形成されている状態においては、陽極酸化膜のみを選択的に除去することが困難であるが、本実施例に示すような構成とすることにより、この問題を解決することができる。

【0052】本実施例に示す構成を実施例1に示す構成に組み合わせることにより、得られる装置の作製歩留りや作製コストの削減を実現することができる。また装置の信頼性を高めることができる。

【0053】

【発明の効果】本明細書で開示する発明を利用することで、配線材料によって生じる接触の不安定性を除去した構成を得ることができる。

【0054】例えば図2（C）や図3に示すような構成とすることで以下に示すような効果を得ることができる。

(1) ソース線112をアルミニウム膜とチタン膜の積層膜とすることで、ソース配線における電圧降下を抑制することができる。この効果は特に大面積の液晶表示装置において顕著に有用なものとなる。

(2) ソース線112をアルミ膜とチタン膜の積層膜とすることで、ソース配線112とソース領域107との電気的な接続を確実なものとすることができる。

(3) 119で示されるドレイン領域110と画素電極114とを接続するための配線を構成するための多層膜を用いて遮光膜118を形成することができる。特にこの遮光膜は新たな工程を付加せずを得ることができる。

(4) 周辺回路との接続に利用される配線117を配線119と同時に形成することができる。またこの配線1

17のソース配線112とのコンタクト及び周辺回路のコンタクトを確実なものとすることができる。

(5) 配線119において、ドレイン領域110とITO電極114とのコンタクトを確実なものとすることができる。

(6) 配線119の形成と同時にブラックマトリクスを形成することができる。

【0055】このように、作製工程を特に増やすことなしに、多数の役割を有する構成を同時に形成することができる。そして、高い特性を有したアクティブマトリクス型の液晶表示装置を低コストで得ることができる。

【図面の簡単な説明】

【図1】 アクティブマトリクス回路の作製工程を示す。

【図2】 アクティブマトリクス回路の作製工程を示す。

【図3】 画素領域の概要を示す。

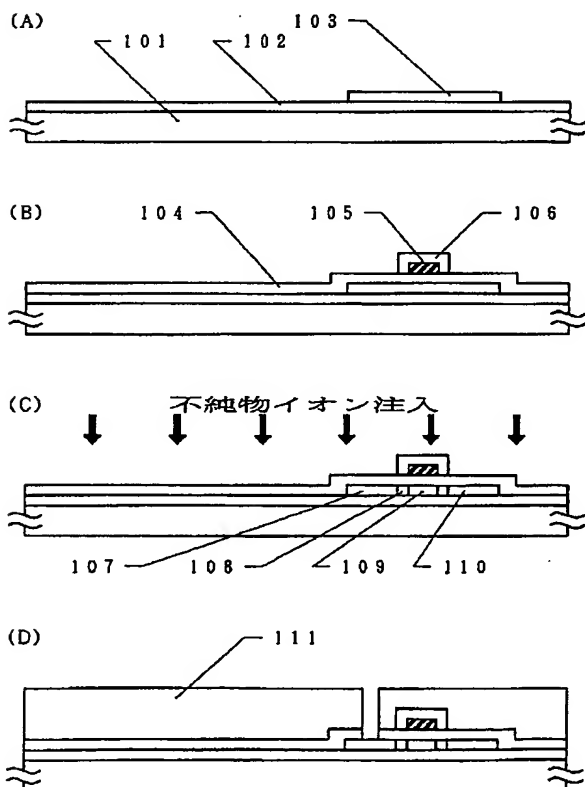
【図4】 実施例のゲイト電極の概要を示す。

【符号の説明】

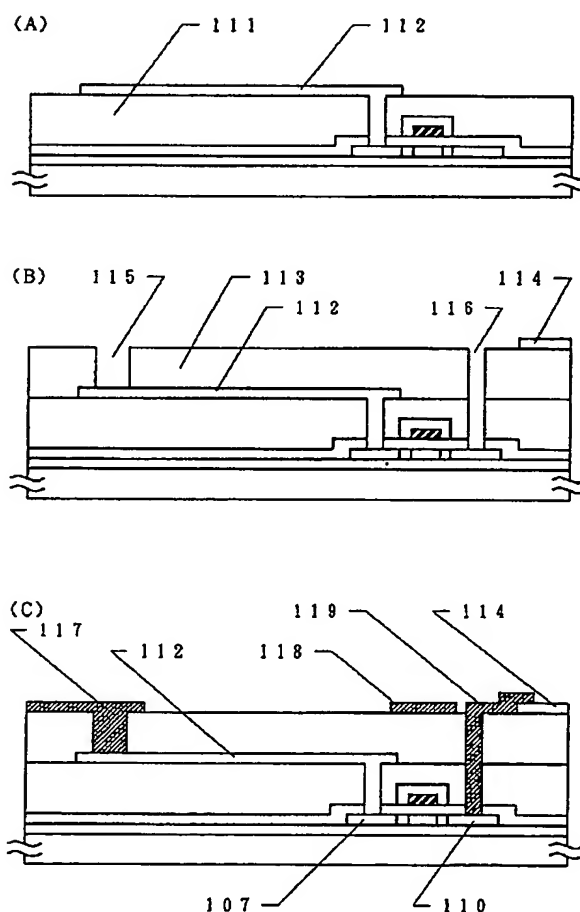
101 ガラス基板
102 下地膜（酸化珪素膜）

103 活性層（島状半導体領域）
104 ゲイト絶縁膜（酸化珪素膜）
105 ゲイト電極（アルミニウム電極）
106 陽極酸化膜
107 ソース領域
108 オフセットゲイト領域
109 チャネル形成領域
110 ドレイン領域
111 層間絶縁膜（1層目の層間絶縁膜）
112 ソース配線（チタン膜とアルミニウム膜との積層膜）
113 層間絶縁膜（2層目の層間絶縁膜）
114 画素電極（ITO電極）
115 ソース配線へのコンタクト開口
116 ドレイン領域へのコンタクト開口
117 周辺回路への配線
118 遮蔽膜
119 ドレイン領域と画素電極とを接続する配線
301 ブラックマトリクス

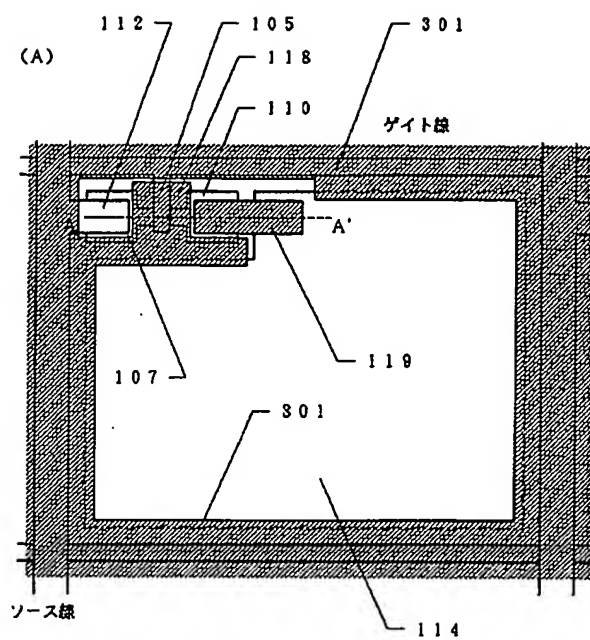
【図1】



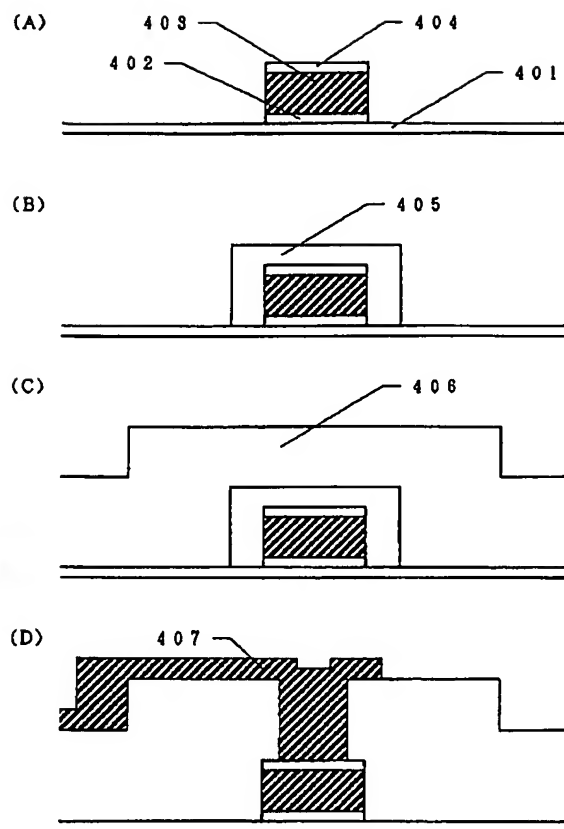
【図2】



【圖 3】



【図 4】



THIS PAGE BLANK (USPTO)